



P6040073

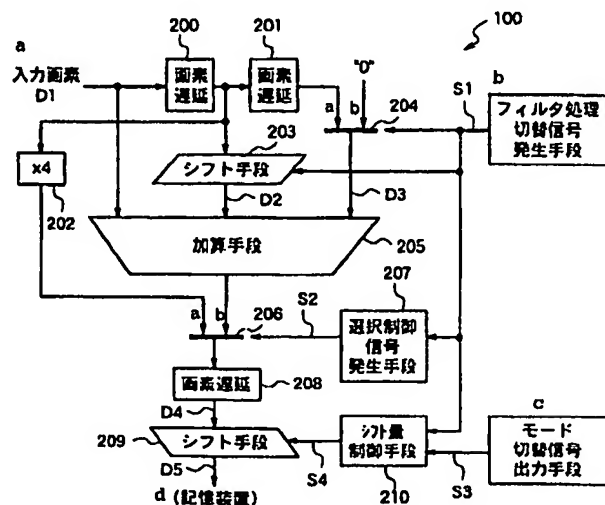
<p>(51) 国際特許分類7 H04N 7/36, G06T 5/20</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/35202</p> <p>(43) 国際公開日 2000年6月15日(15.06.00)</p>
<p>(21) 国際出願番号 PCT/JP99/06939</p> <p>(22) 国際出願日 1999年12月10日(10.12.99)</p> <p>(30) 優先権データ 特願平10/351576 1998年12月10日(10.12.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 中村 剛(NAKAMURA, Tsuyoshi)[JP/JP] 〒811-2413 福岡県糟屋郡篠栗町尾仲1100-1-405 Fukuoka, (JP) 大橋政宏(OHASHI, Masahiro)[JP/JP] 〒811-2413 福岡県糟屋郡篠栗町尾仲1100-1-407 Fukuoka, (JP) 九郎丸俊一(KUROMARU, Shunichi)[JP/JP] 〒814-0015 福岡県福岡市早良区室見3-1-1-401 Fukuoka, (JP)</p>		<p>(74) 代理人 弁理士 早瀬憲一(HAYASE, Kenichi) 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka, (JP)</p> <p>(81) 指定国 CN, IN, JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書 請求の範囲の補正の期限前の公開; 補正書受領の際には再公開される。</p>

(54)Title: FILTER ARITHMETIC DEVICE

(54)発明の名称 フィルタ演算装置

(57) Abstract

A filter arithmetic device comprising horizontal half pixel motion compensation and horizontal in-loop filter means (100) which is provided with first pixel delay means (200), second pixel delay means (201), multiplying means (202), left shifting means (203), first selecting means (204), adding means (205), second selecting means (206), selection control signal generating means (207), third pixel delay means (208), right shifting means (209), and shift amount control means (210). Such a filter arithmetic device having a horizontal processing unit and a vertical processing unit both for half pixel motion compensation and in-loop filtering of inputted pixel data can, for example, have an arithmetic unit shared by both the horizontal and vertical processing units and have a reduced hardware scale.



a...INPUTTED PIXEL
b...FILTERING CHANGING SIGNAL GENERATING MEANS
c...MODE CHANGING SIGNAL OUTPUT MEANS
d...(STORAGE)

200,201,208...PIXEL DELAY
203,209...SHIFTING MEANS
205...ADDING MEANS
207...SELECTION CONTROL SIGNAL GENERATING MEANS
210...SHIFT AMOUNT CONTROL MEANS

この発明に係るフィルタ演算装置は、第1画素遅延手段200と、第2画素遅延手段201と、乗算手段202と、左シフト手段203と、第1選択手段204と、加算手段205と、第2選択手段206と、選択制御信号発生手段207と、第3画素遅延手段208と、右シフト手段209と、シフト量制御手段210と、を備えた、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100を内包してなる。

例えば、このように構成されるフィルタ演算装置であれば、入力される画素データに対する、半画素動き補償及びループ内フィルタの処理における横方向処理装置と縦方向処理装置において、横方向処理装置と縦方向処理装置の演算部の共有化を実現し、ハード規模を削減できる、という効果がある。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シェラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア 共和国	TM トルクメニスタン
CA カナダ	HR クロアチア	ML マリ	TR トルコ
CF 中央アフリカ	HU ハンガリー	MN モンゴル	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	MR モーリタニア	UA ウクライナ
CH スイス	IE アイルランド	MW マラウイ	UG ウガンダ
CI コートジボアール	IL イスラエル	MX メキシコ	US 米国
CM カメルーン	IN インド	NE ニジェール	UZ ウズベキスタン
CN 中国	IS アイスランド	NL オランダ	VN ヴェトナム
CR コスタ・リカ	IT イタリア	NO ノールウェー	YC ユーゴスラビア
CU キューバ	JP 日本	NZ ニュー・ジーランド	ZA 南アフリカ共和国
CY キプロス	KE ケニア	PL ポーランド	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	PT ポルトガル	
DE ドイツ	KP 北朝鮮	RO ルーマニア	
DK デンマーク	KR 韓国		

明 細 書

フィルタ演算装置

5 技術分野

本発明は、画像の符号化方式で使用されるフィルタ演算装置に関するものである。

背景技術

- 10 画像の符号化に関する国際標準方式としては、ISO（国際標準化機構）によるMPEG（Moving Picture Experts Group）や、ITU-T（国際電気通信連合 電気通信標準化部門）による勧告H. 261等がある。最近ではMPEGが用いられることが増えているが、現状では、従前より存在するH. 261の利用もまだ続いている。即ち現在
15 は、両方の方式が併存している為、両方の方式に利用可能なフィルタ演算装置が必要である。

そこでまず初めに、これらの方式について簡単に説明する。

- ISOのMPEGによる符号化方式は、空間的相関を利用した圧縮方法として直交変換を行うDCT（Discrete Cosine Transform）を、
20 時間的相関を利用したものとして、双方向動き補償フレーム間予測に用いている。この方式で用いられる半画素動き補償は、予測画素の位置が2画素の間なら2画素の平均、4画素の間なら4画素平均、という簡単なものである。その為、半画素動き補償は、その予測精度向上の意味合いだけでなく、空間的な低域通過フィルタの働きをも持つ。さらに、4画素値
25 の平均を求める場合は、横方向の平均画素値を求め、さらにその平均画素値に対して、縦方向の平均画素値を求めて4画素値の平均とする場合もある。

一方、ITU-Tの勧告H. 261による符号化方式は、MPEGと同様に空間的相関や時間的相関を利用した圧縮手法を用いているが、この方式では、量子化によって発生した歪みが予測メモリの中に蓄積して画質劣化が増

加し、また予測効率が低下する事を防止する為に、ループ内フィルタ、即ち空間的な低域通過フィルタを用いている。

このループ内フィルタの処理では、第21図に示すような、画素の位置に応じた重み付けがなされる。

- 5 即ち、第21図の領域2100にある画素pの画素値Pについては、

$$P' = 16 \times (P / 16) \quad \dots (1)$$

領域2101にある画素pの画素値Pについては、

$$P' = ((4 \times A) + (8 \times P) + (4 \times B)) / 16 \quad \dots (2)$$

領域2102にある画素Pについては、

10
$$P' = (A + (2 \times B) + C + (2 \times D) + (4 \times P) + (2 \times E) + F + (2 \times G) + H) / 16 \quad \dots (3)$$

のようにして、各領域にある画素pの画素値Pは新たな画素値P'を得る。

尚、式(1)～式(3)において、a～hは第21図に示した画素pに隣接する画素を、A～Hは第21図に示した画素a～hそれぞれに対応する画素値を示している。そして、このような重み付けの為の処理を横方向、縦方向

- 15 の2回に渡って行う。

上述したISOのMPEGによる符号化方式、及びITU-Tの勧告H.

- 261による符号化方式によるフィルタ処理を同一の装置上で実現している従来のフィルタ演算装置は、通常、これら2つの符号化方式のフィルタ処理に関する部分の装置を共通化し、ハードウェアの規模が増大しないように構成されている。これは、これら2つの符号化方式に関わる部分を1つの装置内
- 20 内でそれぞれ独立したものとするとハードウェアの規模が増大してしまうからである。

そこで、このような従来のフィルタ演算装置Xの構成、動作について、図面を参照しつつ、簡単に説明する。

- 25 第14図は、横方向半画素動き補償及び横方向ループ内フィルタ手段1400、及び縦方向半画素動き補償及び縦方向ループ内フィルタ手段1401を有する従来のフィルタ演算装置Xの構成を簡単に示した図であり、第15図は横方向半画素動き補償及び横方向ループ内フィルタ手段1400の構成を示すブロック図、第16図は縦方向半画素動き補償及び縦方向ループ内フ

フィルタ手段 1401 の構成を示すブロック図である。

まず、横方向半画素動き補償及び横方向ループ内フィルタ手段 1400 の構成について、第 15 図を参照しつつ説明すると、この横方向半画素動き補償及び横方向ループ内フィルタ手段 1400 は、入力画素 D21 を所定時間

5 遅延して出力する第 1 画素遅延手段 1500 と、入力画素 D21 を 2 倍して出力する乗算手段 1501 と、「半画素動き補償モード」と「ループ内フィルタモード」とを切替える為のモード切替信号 S21 により入力画素 D21 或いは乗算手段 1501 により 2 倍された入力画素 D21 の何れかを選択的に出力する第 1 選択手段 1502 と、第 1 ループ内フィルタ制御信号 S22

10 に基づいて「0」或いは第 1 画素遅延手段 1500 の出力の何れかを選択的に出力する第 2 選択手段 1503 と、半画素動き補償制御信号 S23 に基づいて第 1 選択手段 1502 の出力或いは第 2 選択手段 1503 の出力の何れかを選択的に出力する第 3 選択手段 1504 と、第 2 選択手段 1503 の出力と第 3 選択手段 1504 の出力を加算して出力データ D22 として出力する第 1 加算手段 1505 と、第 1 加算手段 1505 の出力信号を所定時間遅延した後に出力データ D23 として出力する第 2 画素遅延手段 1506 と、

15 第 2 ループ内フィルタ制御信号 S24 に基づいて入力画素 D21 或いは第 2 画素遅延手段 1506 の出力信号の何れかを選択的に出力する第 4 選択手段 1507 と、第 2 画素遅延手段 1506 の出力と第 4 選択手段 1507 の出力を加算し出力データ D24 として出力する第 2 加算手段 1508 と、第 2 加算手段 1508 の出力信号を所定時間遅延した後に出力データ D25 として出力する第 3 画素遅延手段 1509 と、を備えている。

20

次に横方向半画素動き補償及び横方向ループ内フィルタ手段 1400 の動作について、半画素動き補償とループ内フィルタの場合に分けて説明する。

25 また、第 1 画素遅延手段 1500、第 2 画素遅延手段 1506、第 3 画素遅延手段 1509 では、1 クロックの遅延が発生するとする。

半画素動き補償の場合の入力データフォーマットについて、第 3 図を参照しつつ説明すると、第 3 (a) 図に示すように、 8×8 の横方向の半画素を生成する為の横方向の入力データフォーマットは 9×9 画素構成となってお

り、第3(a)図の矢印が示すように、二次元空間上、左から右へ、上から下へと順次処理を行う。

より具体的には、第3(a)図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。この動作の詳細を第17図のタイミングチャートに示す。第17図において、S21は第15図に示した第1選択手段1502のaを出力させる制御信号、S22は第15図に示した第2選択手段1503のbを出力させる制御信号、S23は第15図に示した第3選択手段1504のbを出力させる制御信号、S24は第15図に示した第4選択手段1507のaを出力させる制御信号となる。

10 次にループ内フィルタの場合の入力データフォーマットについて、第4図を参照しつつ説明すると、第4(a)図に示すように、ループ内フィルタの横方向の入力データフォーマットは8×8画素構成となっており、第4(a)図の矢印が示すように、二次元空間上、左から右へ、上から下へと順次処理を行う。

15 より具体的には、第4(a)図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。この動作の詳細を第18図のタイミングチャートに示す。第18図において、S21は第15図に示した第1選択手段1502のbを出力させる制御信号、S23は第15図に示した第2選択手段1503のaを出力させる制御信号、S22は第15図に示した第3選択手段1504において、時刻 $t_0 \sim t_1$ の期間にbを出力、 $t_1 \sim t_7$ の期間にaを出力、 $t_7 \sim t_9$ の期間にbを出力、 $t_9 \sim t_{10}$ の期間にaを出力し、以降、前記の $t_0 \sim t_{10}$ を繰り返す制御信号、S24は第15図に示した第4選択手段1507において、時刻 $t_1 \sim t_2$ の期間にaを出力、時刻 $t_2 \sim t_8$ の期間にbを出力、 $t_8 \sim t_{10}$ の期間にaを出力し、以降、前記の $t_1 \sim t_{10}$ を繰り返す制御信号となる。

25 次に、縦方向半画素動き補償及び縦方向ループ内フィルタ手段1401の構成について第16図を参照しつつ説明すると、この縦方向半画素動き補償及び縦方向ループ内フィルタ手段1401は、入力画素D31を所定時間(1クロック)遅延して出力データD32として出力する第1画素遅延手段16

00と、入力画素D31を8画素分（8クロック相当）遅延して出力データD33として出力する第2画素遅延手段1601と、入力画素D32を2倍して出力する乗算手段1602と、「半画素動き補償モード」と「ループ内フィルタモード」とを切替える為のモード切替信号S31により入力画素D31

5 31或いは乗算手段1602により2倍された入力画素D31の何れかを選択的に出力する第1選択手段1603と、第1ループ内フィルタ制御信号S32に基づいて「0」或いは出力データD33の何れかを選択的に出力する第2選択手段1604と、半画素処理制御信号S33に基づいて第1選択手段1603の出力或いは第2選択手段1604の出力の何れかを選択的に出力する第3選択手段1605と、第2選択手段1604の出力と第3選択手段1605の出力を加算して出力データD34として出力する第1加算手段1606と、第1加算手段1606の出力信号を所定時間（1クロック相当）遅延して出力データD35として出力する第2画素遅延手段1607と、出力データD35を8画素分（8クロック相当）遅延して出力データD36として出力する第2遅延手段1608と、前述のモード切替信号S31により出力データD35或いは出力データD36の何れかを選択的に出力する第4選択手段1609と、第2ループ内フィルタ制御信号S34に基づいて出力データD32或いは第4選択手段1609の出力データの何れかを選択的に出力する第5選択手段1610と、第4選択手段1609の出力データと第5選択手段1610の出力データとを加算して出力データD37として出力する第2加算手段1611と、第2加算手段1611の出力データを所定時間（1クロック相当）遅延して出力データD38として出力する第3画素遅延手段1612と、出力データD38を16分の1にして出力する除算手段1613と、を備えている。

25 次に縦方向半画素動き補償及び縦方向ループ内フィルタ手段1401の動作について、半画素動き補償とループ内フィルタの場合に分けて説明する。

半画素動き補償の場合の入力データフォーマットについて、第3図を参照しつつ説明すると、先述した横方向処理の場合と同様に、第3（a）図に示すように9×9画素構成となっており、第3（a）図の矢印が示すように、

二次元空間上、左から右へ、上から下へと順次処理を行う。

より具体的には、第3(a)図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。この動作の詳細を第19図のタイミングチャートに示す。第19図において、S31は第16図に示した第1選択手段1603及び第4選択手段1609のaを出力させる制御信号、S32は第16図に示した第2選択手段1604のbを出力させる制御信号、S33は第16図に示した第3選択手段1605のbを出力させる制御信号、S34は第16図に示した第5選択手段1610のaを出力させる制御信号となる。

- 10 次にループ内フィルタの場合の入力データフォーマットについて、第4図を参照しつつ説明すると、先述したループ内フィルタの横方向処理の場合における入力データフォーマットと同様に、縦方向処理の入力データフォーマットは、第4(a)図に示すように8×8画素構成となっており、第4(a)図の矢印が示すように、二次元空間上、左から右へ、上から下へと順次処理
- 15 を行う。

- より具体的には、第4(a)図の矢印が示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。動作の詳細を第20図のタイミングチャートに示す。第20図において、S31は第16図に示した第1選択手段1603及び第4選択手段1609のbを出力させる
- 20 制御信号、S32は第16図に示した第2選択手段1604において、時刻 $t_0 \sim t_8$ の期間にaを出力、 $t_8 \sim t_{56}$ の期間にbを出力、 $t_{56} \sim t_{64}$ の期間にaを出力させる制御信号、S33は第16図に示した第3選択手段1605のaを出力させる制御信号、S34は第16図に示した第5選択手段1610において、時刻 $t_9 \sim t_{17}$ の期間にaを出力、 $t_{17} \sim t_{65}$ の期間にbを出力、 $t_{65} \sim t_{73}$ の期間にaを出力させる制御信号となる（尚、第20図において t_{22} 以降は省略されている）。
- 25

以上のように半画素動き補償とループ内フィルタを実現する従来のフィルタ演算装置においては、横方向処理と縦方向処理について各々別の装置が必要である為、ハード規模が大きくなってしまい、問題であった。

そこで、本発明はこのような状況に鑑みてなされたものであり、入力される画素データに対する、半画素動き補償及びループ内フィルタの処理における横方向処理装置と縦方向処理装置において、コアとなる演算部は共有できることに着目し、演算部の内部にあって共有化の妨げとなっていた部分、例えばデータの遷移タイミングを調整する部分を、前処理部でモードの切替によって、データ遷移のタイミングを調整する機構を設けることで、横方向処理装置と縦方向処理装置の演算部の共有化を実現し、ハード規模の削減を可能としたフィルタ演算装置を提供するものである。

10 発明の開示

本発明の請求の範囲第1項に記載のフィルタ演算装置では、第1フィルタ処理、又はこれとは異なる第2フィルタ処理のいずれかにより、入力画素データを処理するフィルタ演算装置であって、少なくとも、前記入力画素データを所定時間遅延して出力する第1画素遅延手段と、前記第1画素遅延手段の出力を所定時間遅延して出力する第2画素遅延手段と、前記第1画素遅延手段の出力を4倍して出力する第1乗算手段と、前記第1フィルタ処理による処理、又は前記第2フィルタ処理により、前記入力画素データを処理するように、処理手段を切替えるフィルタ処理切替信号を発生させるフィルタ処理切替信号発生手段と、前記フィルタ処理切替信号に応じて第1フィルタ処理により前記入力画素データを処理する場合は前記第1画素遅延手段の出力を1倍に、前記フィルタ処理切替信号に応じて第2フィルタ処理により前記入力画素データを処理する場合は前記第1画素遅延手段の出力を2倍にする、第2乗算手段と、前記フィルタ処理切替信号により、「0」或いは前記第2画素遅延手段の出力のいずれかを選択的に出力する第1選択手段と、前記入力画素データと、前記第2乗算手段の出力と、前記第1選択手段の出力、を加算する加算手段と、前記フィルタ処理切替信号に基づいて、選択制御信号を出力する選択制御信号発生手段と、前記選択制御信号により、前記第1乗算手段の出力、或いは前記加算手段の出力の何れかを選択的に出力する第2選択手段と、前記入力画素データを横方向に処理する横方向処理モードと、

縦方向に処理する縦方向処理モードを切替えるモード切替信号を出力するモード切替信号出力手段と、前記フィルタ処理切替信号及び前記モード切替信号に基づいて、乗数制御信号を出力する乗数制御信号発生手段と、前記第2選択手段の出力を所定時間遅延して出力する第3画素遅延手段と、前記第2
 5 選択手段の出力を、前記乗数制御信号発生手段により出力される前記乗数制御信号により、1倍、 $1/2$ 倍、又は $1/16$ 倍にする第3乗算手段と、を具備した、ことを特徴とする。

このフィルタ演算装置であれば、入力される画像データに対する横方向処理装置と縦方向処理装置の演算部の共有化が可能なので、ハードウェア部分
 10 の回路規模を削減可能となり、ひいてはフィルタ演算装置の規模を縮小できるようになるという効果がある。

請求の範囲第2項に記載のフィルタ演算装置は、請求の範囲第1項に記載のフィルタ演算装置において、前記加算手段が、前記第1フィルタ処理手段による演算結果、又は前記第2フィルタ処理手段による演算結果、又は前記
 15 入力画素データを横方向に処理する「横方向処理モード」による演算結果、又は前記入力画素データを縦方向に処理する「縦方向処理モード」による演算結果、のいずれかの演算結果に対して「丸め」を施す為の値を保持するレジスタの出力を加算することを可能とすることは、好ましい実施の形態である。

20 このフィルタ演算装置であれば、各処理に合わせた「丸め」を施す為の値を格納するレジスタを備えて、4つの値の入力が可能な加算手段により丸めを施す為の値を加算する機能を持たせることで、精度劣化を抑える、という効果がある。

請求の範囲第3項に記載のフィルタ演算装置は、請求の範囲第1項に記載
 25 のフィルタ演算装置において、前記入力画素データを、少なくとも前記第1画素遅延手段の遅延時間以上の所定時間遅延して出力する第4画素遅延手段と、前記第4画素遅延手段の出力を、前記第4画素遅延手段の遅延時間と同じ時間遅延して出力する第5画素遅延手段と、前記モード切替信号により、前記第1画素遅延手段の出力と、前記第4画素遅延手段の出力との何れかを、

- 前記第 1 乗算手段と前記第 2 乗算手段に対して前記第 1 画素遅延手段の出力に代えて選択的に出力する第 3 選択手段と、前記第 2 画素遅延手段の出力と、前記第 5 画素遅延手段の出力の何れかを、前記第 1 選択手段に対して前記第 2 画素遅延手段の出力に代えて選択的に出力する第 4 選択手段と、を具備した、ことを特徴とする。

このフィルタ演算装置であれば、入力される画像データに対する横方向処理及び縦方向処理が一方向にしか順次処理できない場合であっても、やはり横方向処理装置と縦方向処理装置の演算分の共有化が可能となるので、ハードウェア部分の回路規模が削減可能となり、ひいてはフィルタ演算装置の規模を縮小できるという効果がある。

図面の簡単な説明

- 第 1 図は、第 1 の実施の形態及び第 2 の実施の形態に係るフィルタ演算装置の概念図である。
- 第 2 図は、第 1 の実施の形態に係る縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段のブロック図である。
- 第 3 図は、半画素動き補償の入力データフォーマットの概念図である。
- 第 4 図は、ループ内フィルタの入力データのフォーマットの概念図である。
- 第 5 図は、第 1 の実施の形態に係るフィルタ演算装置による半画素動き補償の横及び縦方向処理の動作を表わすタイミングチャートである。
- 第 6 図は、第 1 の実施の形態に係るフィルタ演算装置によるループ内フィルタの横方向処理の動作を表わすタイミングチャートである。
- 第 7 図は、ループ内フィルタの横方向処理後の結果を示した概念図である。
- 第 8 図は、第 1 の実施の形態に係るフィルタ演算装置によるループ内フィルタの縦方向処理の動作を表わすタイミングチャートである。
- 第 9 図は、ループ内フィルタの縦方向処理後の結果を示した概念図である。
- 第 10 図は、第 1 の実施の形態に係るフィルタ演算装置の別の形態を示すブロック図である。
- 第 11 図は、第 2 の実施の形態に係る縦横方向半画素動き補償及び縦横方

向ループ内フィルタ手段のブロック図である。

第12図は、第2の実施の形態に係るフィルタ演算装置による半画素動き補償の縦方向処理の動作を表わすタイミングチャートである。

5 第13図は、第2の実施の形態に係るフィルタ演算装置によるループ内フィルタの縦方向処理の動作を表わすタイミングチャートである。

第14図は、従来のフィルタ演算装置の概念図である。

第15図は、従来のフィルタ演算装置に係る横方向半画素動き補償及び横方向ループ内フィルタ手段のブロック図である。

10 第16図は、従来のフィルタ演算装置に係る縦方向半画素動き補償及び縦方向ループ内フィルタ手段のブロック図である。

第17図は、従来のフィルタ演算装置に係る半画素動き補償の横方向処理装置の動作を表わすタイミングチャートである。

第18図は、従来のフィルタ演算装置に係るループ内フィルタの横方向処理装置の動作を表わすタイミングチャートである。

15 第19図は、従来のフィルタ演算装置に係る半画素動き補償の縦方向処理装置の動作を表わすタイミングチャートである。

第20図は、従来のフィルタ演算装置に係るループ内フィルタの縦方向処理装置の動作を表わすタイミングチャートである。

第21図は、ループ内フィルタの処理を示す概念図である。

20 第22図は、フィルタ演算に使用するデータを縦に読む場合のアドレッシング機能を説明するための図である。

発明を実施するための最良の形態

25 以下、本発明の実施の形態について図面を参照しながら説明する。尚、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

実施の形態1.

まず、本発明に係るフィルタ演算装置の一例を、第1の実施の形態として図面を参照しつつ説明する。

第1図は、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100を内包した本発明に係るフィルタ演算装置Aの概念図であり、第2図は縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の構成を示したブロック図である。

- 5 第1図に示したフィルタ装置Aはフィルタ演算の入出力データを格納するための記憶装置を2つ備えており、入力用記憶装置と出力用記憶装置へは同時にアクセスさせないように制御するスイッチ又はセレクタを備えている。

ここで、このフィルタ装置Aの動作の一例として、まず横方向処理を行って、次いで縦方向処理を行う場合の動作について説明する。

- 10 まず、横方向処理の入力データを記憶装置1に、出力データを記憶装置2に格納する場合、記憶装置1の端子O1と縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の端子FIとを、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の端子FOと記憶装置2の端子I1とを接続する。次に、横方向処理の出力データに対して縦方向処理を行う
15 場合、記憶装置2の端子O2と縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の端子FIとを、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の端子FOと記憶装置1の端子I2とを接続し、横方向処理におけるフィルタ装置と記憶装置の接続関係を逆転させる。

- ここで示した例は、リード・ライト用に1つだけポートを備えた記憶装置
20 を用いた場合のものであるが、リード用とライト用にそれぞれ1ポート備えたデュアルポートを有する記憶装置を用いた場合であれば、記憶装置は1つで構わない。

次に、第2図に示した縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100について説明する。

- 25 この第2図に示したブロック図にあるように、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100は、入力画素D1を所定時間遅延（1クロック相当）して出力する第1画素遅延手段200と、第1画素遅延手段200の出力を所定時間遅延（1クロック相当）して出力する第2画素遅延手段201と、第1画素遅延手段200の出力を4倍して出力する乗算手

段 202 と、第 1 画素遅延手段 200 の出力を「半画素動き補償モード」と
 「ループ内フィルタモード」とを切替える為のモード切替信号 S1 により、
 「半画素動き補償モード」の場合は 0 ビット（すなわち 1 倍）左論理シフト
 し、また「ループ内フィルタモード」の場合は 1 ビット（すなわち 2 倍）左
 5 論理シフトし、これを出力データ D2 として出力する左シフト手段 203 と
 、モード切替信号 S1 により「0」或いは第 2 画素遅延手段 201 の出力の
 何れかを選択的に出力データ D3 として出力する第 1 選択手段 204 と、入
 力画素 D1 と出力データ D2 と出力データ D3 と、を加算する加算手段 20
 5 と、制御信号 S2 により乗算手段 202 の出力或いは加算手段 205 の出
 10 力の何れかを選択的に出力する第 2 選択手段 206 と、モード切替信号 S1
 に基づいて第 2 選択手段 206 の制御信号 S2 を出力する選択制御信号発生
 手段 207 と、第 2 選択手段 206 の出力を所定時間遅延（1 クロック相当
 ）し、これを出力データ D4 として出力する第 3 画素遅延手段 208 と、出
 力データ D4 をシフト量制御信号 S4 により、0 ビット（すなわち 1 倍）、
 15 1 ビット（すなわち 1/2 倍）、4 ビット（すなわち 1/16）のいずれか
 に算術右シフトし、出力データ D5 として出力する右シフト手段 209 と、
 モード切替信号 S1 及び「横方向処理モード」と「縦方向処理モード」を切
 替える為のモード切替信号 S3 に基づいて、右シフト手段 209 のシフト量
 を制御するシフト量制御信号 S4 を出力するシフト量制御手段 210 と、を
 20 備えている。

次に、第 2 図に示した縦横方向半画素動き補償及び縦横方向ループ内フ
 イルタ手段 100 の横方向処理の動作について、半画素動き補償とループ内フ
 イルタの場合に分けて説明する。

半画素動き補償の場合の入力データフォーマットについて、第 3 図を参照
 25 しつつ説明すると、第 3（a）図に示すように、8×8 の横方向の半画素を
 生成する為の横方向の入力データフォーマットは 9×9 画素構成となってお
 り、第 3（a）図の矢印が示すように、二次元空間上、左から右へ、上から
 下へと順次処理を行う。

より具体的には、第 3（a）図に示すように、A→B→C→…→I→J→

- K→…→Zの順序で処理を行うことになる。この動作の詳細を第5図のタイミングチャートに示す。第5図において、S1は「半画素動き補償モード」がONとなると第2図に示した第1選択手段204のbを出力させる制御信号、S2は第2図に示した第2選択手段206のbを出力させる制御信号、
- 5 S3は第2図に示したシフト量制御手段210を「横方向処理モード」に切替える制御信号、S4は第2図に示したシフト量制御手段210からの出力を1ビット右算術シフト（すなわち1/2）させる制御信号となる。

- 次にループ内フィルタの場合の入力データフォーマットについて、第4図を参照しつつ説明すると、ループ内フィルタの横方向の入力データフォーマットは第4（a）図に示すように8×8画素構成となっており、第4（a）図の矢印が示すように、二次元空間上、左から右へ、上から下へと順次処理を行う。
- 10

- より具体的には、第4（a）図に示すように、A→B→C→…→F→G→H→I→J→…→Zの順序で処理を行うことになる。この動作の詳細を第6図のタイミングチャートに示す。第6図において、S1は「ループ内フィルタモード」がONとなると第2図に示した第1選択手段204のaを出力させる制御信号、S2は第2図に示した第2選択手段206において、時刻t1～t2の期間にaを出力、t2～t8の期間にbを出力、t8～t9の期間にaを出力し、以降、前記のt1～t9を繰り返す制御信号、S3は第2
- 15 図に示したシフト量制御手段210を「縦方向処理モード」に切替える制御信号、S4は第2図に示したシフト量制御手段210からの出力を0ビット右算術シフト（すなわち1倍）させる制御信号となる。そしてループ内フィルタの出力データD5は、記憶装置に格納される。尚、この記憶装置とは、例えば第1図に示したようなものである。
- 20

- 25 次に、第2図に示した縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100の縦方向処理の動作について、半画素動き補償とループ内フィルタの場合に分けて説明する。

半画素動き補償の場合の入力データフォーマットについて、第3図を参照しつつ説明すると、第3（b）図に示すように、8×8の縦方向の半画素を

生成する為の縦方向の入力データフォーマットは 9×9 画素構成となっており、第3 (b) 図の矢印が示すように、二次元空間上、上から下へ、左から右へと順次処理を行う。

- より具体的には、第3 (b) 図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow$
 5 $K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。この動作の詳細は、先述した横方向処理の場合と同様であり、即ちそのタイミングチャートは第5図に示すものと同一となる。

- 次にループ内フィルタの場合の入力データフォーマットについて、第4図を参照しつつ説明すると、ループ内フィルタの縦方向の入力データフォーマットは第4 (b) 図に示すように 8×8 画素構成となっており、第4 (b)
 10 図の矢印が示すように、二次元空間上、上から下へ、左から右へと順次処理を行う。より具体的には、縦方向処理は、横方向処理の出力データに対して行われ、また、通常はこのように処理される。

- 第7図に示すデータは、第4 (b) 図に示す 8×8 のデータに対する横方向処理の結果であり、第7図中の矢印に示すように、2次元空間上、上から下へ、左から右へ、と順次処理を行う。つまり、第4図において $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うこととなり、横方向処理後の値が入力される。この動作の詳細を第8図のタイミングチャートに示す。第8図において、S1は「ループ内フィルタモード」がONとなると
 15 第2図に示した第1選択手段204のaを出力させる制御信号、S2は第2図に示した第2選択手段206において、時刻 $t_1 \sim t_2$ の期間にaを出力、 $t_2 \sim t_8$ の期間にbを出力、 $t_8 \sim t_9$ の期間にaを出力、以降、前記の $t_1 \sim t_9$ を繰り返す制御信号、S3は第2図に示したシフト量制御手段210を「縦方向処理モード」に切替える制御信号、S4は第2図に示した
 20 シフト量制御手段210からの出力を4ビット右算術シフト（すなわち $1/16$ 倍）させる制御信号となる。

以上の説明のように、第4 (a) 図に示す 8×8 のデータに対して横方向、及び縦方向の処理を行うと、第9図に示すような値が算出され、その結果、ループ内フィルタが実現されるのである。

このようにフィルタ演算装置 A を構成することにより、同一の装置で半画素動き補償の横方向処理及び縦方向処理、更にループ内フィルタの横方向処理及び縦方向処理が可能となるので、ハードウェアの規模を削減することが可能となる。

- 5 なお、本実施の形態の応用例として第 10 図に示すように、各処理に合わせた「丸め」を施す為の値を格納するレジスタ 1001 を備えて、4 つの値の入力が可能な加算手段 1000 により丸めを施す為の値を加算する機能を持たせた、縦横方向半画素動き補償及び縦横方向ループ内フィルタ 100' とすることで、精度劣化を抑えることも考えられる。

10 実施の形態 2.

次に、先述のフィルタ演算装置 A と異なる構成を有するフィルタ演算装置 B を、第 2 の実施の形態として、図面を参照しつつ説明する。

- このフィルタ演算装置 B の概念図は、先に第 1 の実施の形態で示したフィルタ演算装置 A の概念図である第 1 図と同様であり、縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 を内包している。また縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 の構成を示すブロック図は第 11 図に示す通りである。

まず、フィルタ演算装置 B の動作の特徴について、簡単に説明する。

- 通常、第 22 (a) 図に示すフィルタ演算に使用するデータを 0、1、2、3、…のように縦に読む場合、実際のメモリ 1 次元空間には図中矢印の順番に従って、第 22 (b) 図に示すように格納されている。そして第 22 (b) 図に示すように格納されたデータを読み出す為には、アドレッシングに特殊操作が必要となるが、本実施の形態に係るフィルタ演算装置 B であれば、このようなアドレッシング機能を装備していない記憶装置であってもフィルタ演算が可能である。

このフィルタ演算装置 B における縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 について、図面を参照しつつ説明する。

縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 は、第 11 図に示したブロック図にあるように、入力画素 D41 を所定時間遅延 (

1 クロック相当)して出力する第1画素遅延手段1100と、さらに第1画素遅延手段1100の出力を所定時間遅延(1クロック相当)して出力する第2画素遅延手段1101と、入力画素D41を所定時間遅延(8クロック相当)して出力する第4画素遅延手段1102と、第4画素遅延手段1102の出力を所定時間遅延(8クロック相当)して出力する第5画素遅延手段1103と、「横方向処理モード」と「縦方向処理モード」を切替える為のモード切替信号S43によって、「横方向処理モード」の場合は第1画素遅延手段1100の出力(第11図の第3選択手段1104に示す「a」)を、

5 「縦方向処理モード」の場合は第4画素遅延手段1102の出力(第11図の第3選択手段1104に示す「b」)を選択的に出力する第3選択手段1104と、「横方向処理モード」と「縦方向処理モード」を切替える為のモード切替信号S43によって、「横方向処理モード」の場合は第2画素遅延手段1101の出力(第11図の第4選択手段1105に示す「a」)を、

10 「縦方向処理モード」の場合は第5画素遅延手段1103の出力(第11図の第4選択手段1105に示す「b」)を選択的に出力する第4選択手段1105と、を有している。

尚、その他の構成、即ち乗算手段1106、左シフト手段1107、第1選択手段1108、加算手段1109、第2選択手段1110、選択制御信号発生手段1111、第3画素遅延手段1112、右シフト手段1113、

20 シフト量制御手段1114、については、第1の実施の形態で示した、フィルタ演算装置Aに内包される縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段100を構成する乗算手段202、左シフト手段203、第1選択手段204、加算手段205、第2選択手段206、選択制御信号発生手段207、第3画素遅延手段208、右シフト手段209、シフト量制御手段210、それぞれと同一であるので、ここではその説明を省略する。また、第11図中、D42～D45は出力データ、S41はモード切替信号、S42は制御信号、S44はシフト量制御信号であるが、これらは第2図で示した出力データD2～D5、モード切替信号S1、制御信号S2、シフト量制御信号S4と同様のものである。

25

次に、第 11 図に示した縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 において、「横方向処理モード」と「縦方向処理モード」を切替える為のモード切替信号 S43 によって「横方向処理モード」とされた時の、横方向処理における縦横方向半画素動き補償及び縦横方向ループ内
 5 フィルタ手段 101 の動作について述べると、第 3 選択手段 1104、及び第 4 選択手段 1105 は上述の通り動作し、また、この縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 の動作は、第 1 の実施の形態で説明した、第 2 図に示した縦横方向半画素動き補償及び縦横方向ループ内
 10 フィルタ手段 100 と同様の動作をするので、ここでは横方向処理の動作の説明は省略する。

次に、第 11 図に示した縦横方向半画素動き補償及び縦横方向ループ内フィルタ手段 101 において、「横方向処理モード」と「縦方向処理モード」を切替える為のモード切替信号 S43 によって「縦方向処理モード」とされた時の、縦方向処理における縦横方向半画素動き補償及び縦横方向ループ内
 15 フィルタ手段 101 の動作について、半画素動き補償とループ内フィルタの場合に分けて説明する。

半画素動き補償の場合の入力データフォーマットについて、第 3 図を参照しつつ説明すると、第 3 (b) 図に示すように、 8×8 の縦方向の半画素を生成する為の縦方向の入力データフォーマットは 9×9 画素構成となっており、第 3 (b) 図の矢印が示すように、二次元空間上、左から右へ、上から
 20 下へと順次処理を行う。

より具体的には、第 3 (b) 図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。この動作の詳細を第 12 図のタイミングチャートに示す。第 12 図において、S41 は「半画素動き補償モード」が ON となると第 11 図に示した第 1 選択手段 1108 の b を出力させる制御信号、S42 は第 11 図に示した第 2 選択手段 1110 の b を出力させる制御信号、S43 は第 11 図に示したシフト量制御手段 1114 を「縦方向処理モード」に切替え、また、第 3 選択手段 1104 及び第 4 選択手段 1105 の b を出力させる制御信号、S44 は第 11 図に示したシフト量
 25

制御手段 1 1 1 4 からの出力を 1 ビット右算術シフト（すなわち $1/2$ 倍）させる制御信号となる。

次にループ内フィルタの場合の入力データフォーマットについて、第 4 図を参照しつつ説明すると、ループ内フィルタの縦方向の入力データフォーマットは、第 4 (b) 図に示すように 8×8 画素構成となっており、第 4 (b) 図の矢印が示すように、二次元空間上、上から下へ、左から右へと順次処理を行う。

より具体的には、第 4 (b) 図に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになり、第 7 図に示すように、縦方向処理後の値が入力される。この動作の詳細を第 13 図のタイミングチャートに示す。第 13 図において、S 4 1 は「ループ内フィルタモード」が ON となると第 11 図に示した第 1 選択手段 1 1 0 8 の a を出力させる制御信号、S 4 2 は第 11 図に示した第 2 選択手段 1 1 1 0 において、時刻 $t_8 \sim t_{16}$ の期間に a を出力、 $t_{16} \sim t_{64}$ の期間に b を出力、 $t_{64} \sim t_{72}$ の期間に a を出力し、以降、前記の $t_8 \sim t_{72}$ を繰り返す制御信号、S 4 3 は第 11 図に示したシフト量制御信号 1 1 1 4 を「縦方向処理モード」に切替え、また、第 3 選択手段 1 1 0 4 及び第 4 選択手段 1 1 0 5 の a を出力させる制御信号、S 4 4 は第 11 図に示したシフト量制御手段 1 1 1 4 からの出力を 4 ビット右算術シフト（すなわち $1/16$ 倍）させる制御信号となる。

以上のように第 4 (b) 図又は第 3 (b) 図に示すような、上から下へ、左から右へと順次処理が不可能で、第 4 (a) 図又は第 3 (a) 図に示すような、左から右へ、上から下への順次処理のみにしか対応できない装置においても同一の装置で横方向と縦方向の処理が可能である為、ハード規模の削減が可能である。

産業上の利用可能性

以上のように本発明に係るフィルタ演算装置は、入力される画素データに対する、半画素動き補償及びループ内フィルタの処理における横方向処理装

置と縦方向処理装置において、横方向処理装置と縦方向処理装置の演算部の共有化を実現し、ハード規模の削減を可能とするものとして、極めて有用である。

請 求 の 範 囲

1. 第1フィルタ処理、又はこれとは異なる第2フィルタ処理のいずれかにより、入力画素データを処理するフィルタ演算装置であって、
- 5 少なくとも、
 - 前記入力画素データを所定時間遅延して出力する第1画素遅延手段と、
 - 前記第1画素遅延手段の出力を所定時間遅延して出力する第2画素遅延手段と、
 - 前記第1画素遅延手段の出力を4倍して出力する第1乗算手段と、
- 10 前記第1フィルタ処理による処理、又は前記第2フィルタ処理により、前記入力画素データを処理するように、処理手段を切替えるフィルタ処理切替信号を発生させるフィルタ処理切替信号発生手段と、
 - 前記フィルタ処理切替信号に応じて第1フィルタ処理により前記入力画素データを処理する場合は前記第1画素遅延手段の出力を1倍に、前記フィルタ処理切替信号に応じて第2フィルタ処理により前記入力画素データを処理する場合は前記第1画素遅延手段の出力を2倍にする、第2乗算手段と、
 - 15 前記フィルタ処理切替信号により、「0」或いは前記第2画素遅延手段の出力のいずれかを選択的に出力する第1選択手段と、
 - 前記入力画素データと、前記第2乗算手段の出力と、前記第1選択手段の出力、を加算する加算手段と、
 - 20 前記フィルタ処理切替信号に基づいて、選択制御信号を出力する選択制御信号発生手段と、
 - 前記選択制御信号により、前記第1乗算手段の出力、或いは前記加算手段の出力の何れかを選択的に出力する第2選択手段と、
 - 25 前記入力画素データを横方向に処理する横方向処理モードと、縦方向に処理する縦方向処理モードを切替えるモード切替信号を出力するモード切替信号出力手段と、
 - 前記フィルタ処理切替信号及び前記モード切替信号に基づいて、乗数制御信号を出力する乗数制御信号発生手段と、

前記第 2 選択手段の出力を所定時間遅延して出力する第 3 画素遅延手段と、
 前記第 2 選択手段の出力を、前記乗数制御信号発生手段により出力される
 前記乗数制御信号により、1 倍、 $1/2$ 倍、又は $1/1.6$ 倍にする第 3 乗算
 手段と、

- 5 を具備した、
 ことを特徴とするフィルタ演算装置。

2. 請求の範囲第 1 項に記載のフィルタ演算装置において、
 前記加算手段が、

- 前記第 1 フィルタ処理による演算結果、又は前記第 2 フィルタ処理による
 10 演算結果、又は前記入力画素データを横方向に処理する横方向処理モードに
 による演算結果、又は前記入力画素データを縦方向に処理する縦方向処理モー
 ドによる演算結果、のいずれかの演算結果に対して「丸め」を施す為の値を
 保持するレジスタの出力を加算することを可能としたものである、
 ことを特徴とするフィルタ演算装置。

- 15 3. 請求の範囲第 1 項に記載のフィルタ演算装置において、
 前記入力画素データを、少なくとも前記第 1 画素遅延手段の遅延時間以上
 の所定時間遅延して出力する第 4 画素遅延手段と、

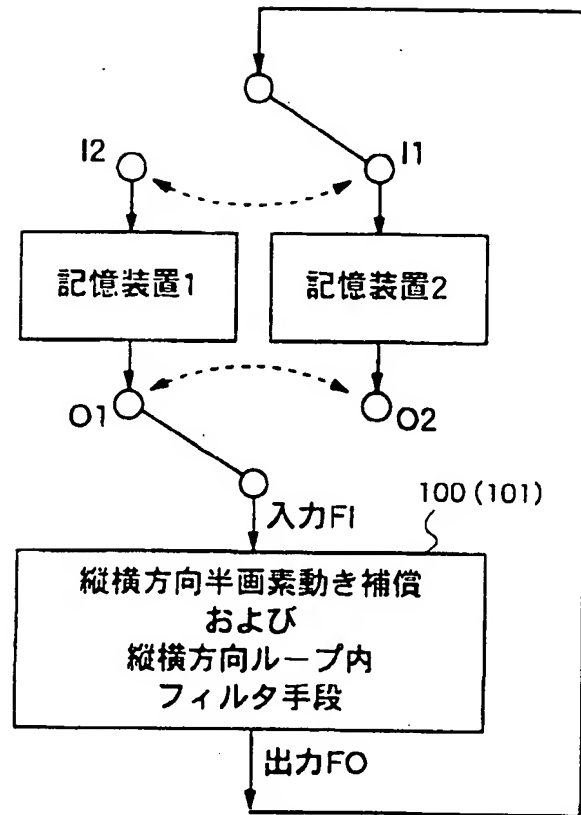
 前記第 4 画素遅延手段の出力を、前記第 4 画素遅延手段の遅延時間と同じ
 時間遅延して出力する第 5 画素遅延手段と、

- 20 前記モード切替信号により、前記第 1 画素遅延手段の出力と、前記第 4 画
 素遅延手段の出力との何れかを、前記第 1 乗算手段と前記第 2 乗算手段に対
 して、前記第 1 画素遅延手段の出力に代えて選択的に出力する第 3 選択手段
 と、

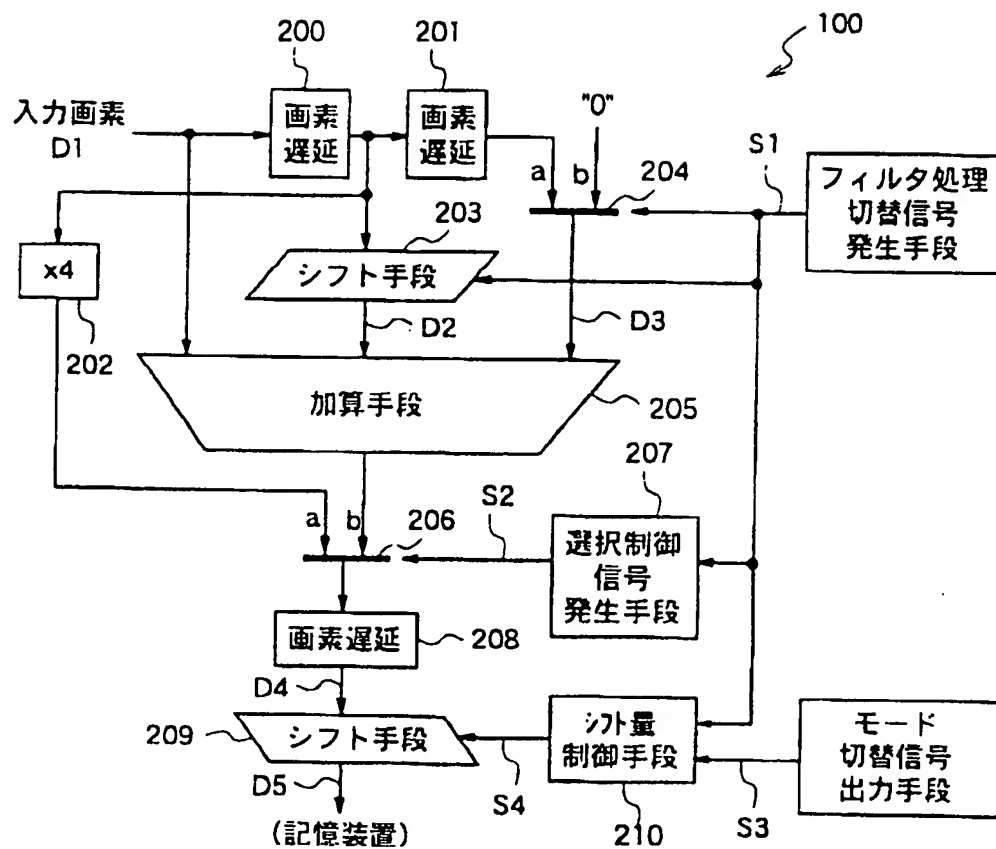
- 前記第 2 画素遅延手段の出力と、前記第 5 画素遅延手段の出力の何れかを、
 25 前記第 1 選択手段に対して、前記第 2 画素遅延手段の出力に代えて選択的に
 出力する第 4 選択手段と、

 を具備した、
 ことを特徴とするフィルタ装置。

第1図

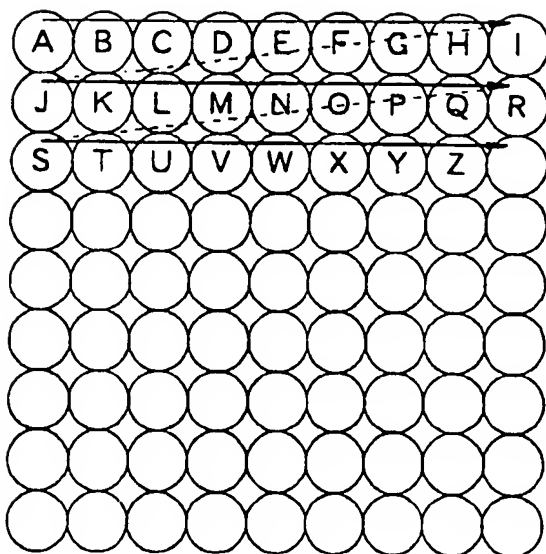


第2図

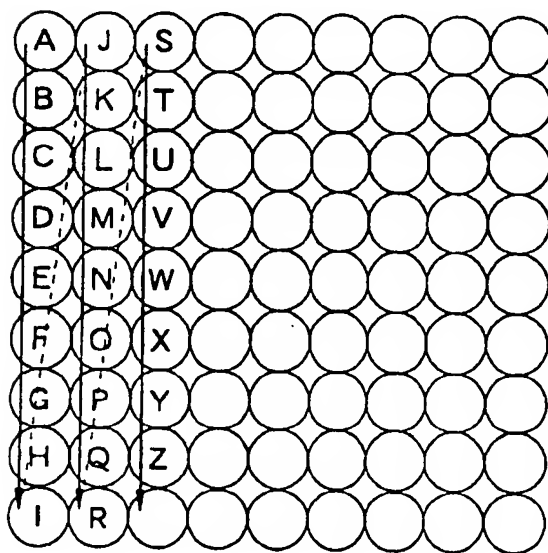


3/22

第3(a)図

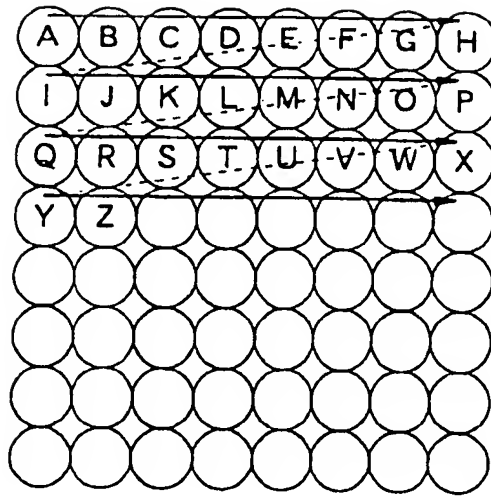


第3(b)図

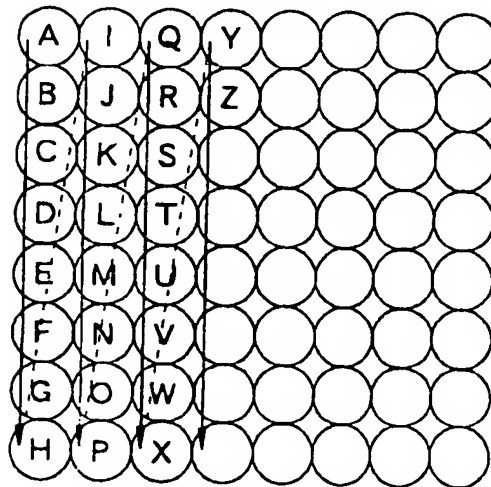


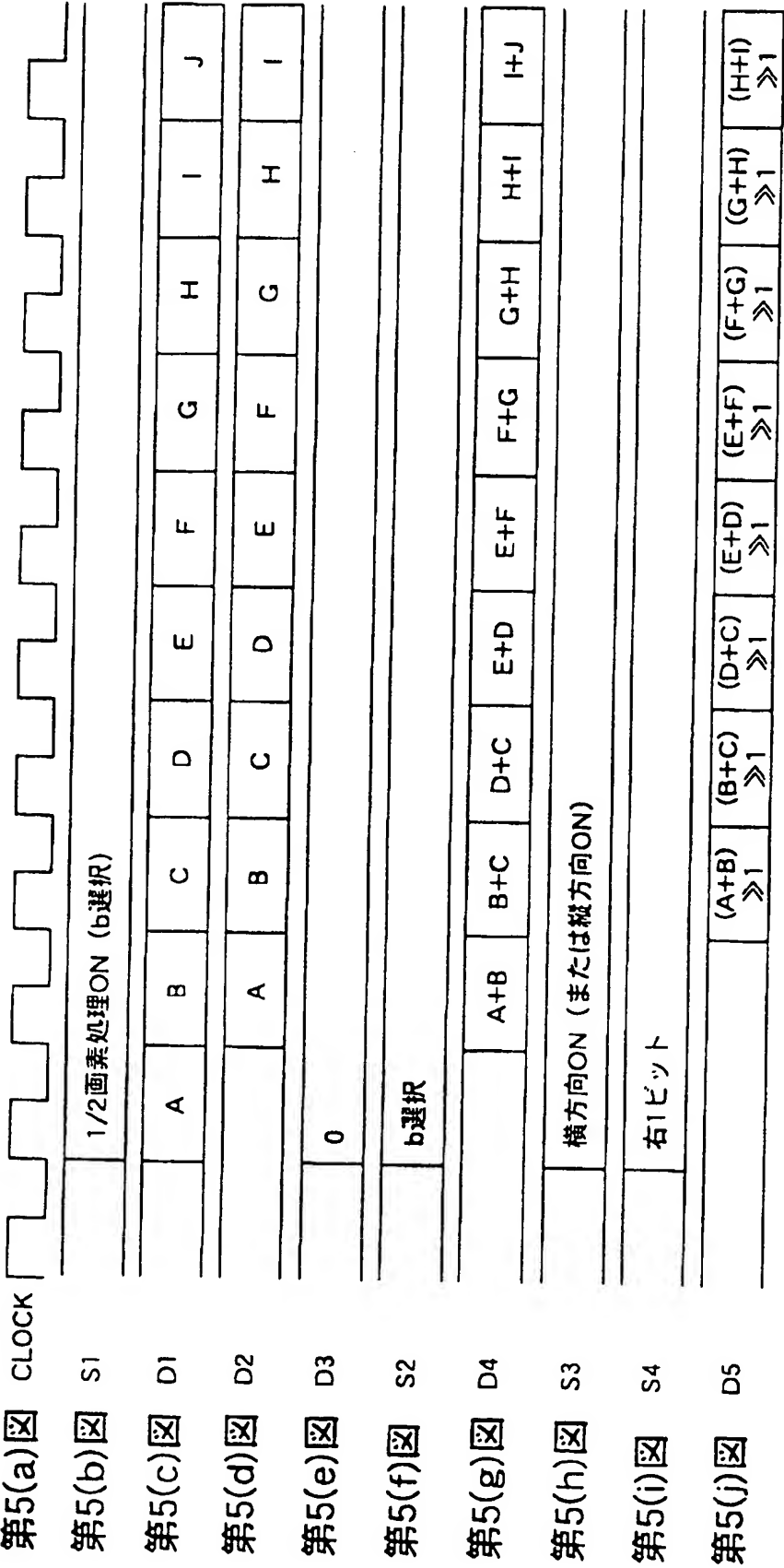
4/22

第4(a)図



第4(b)図





第6(a) 図 CLOCK



第6(b) 図 S1

ループ内フィルタON (a選択)										
------------------	--	--	--	--	--	--	--	--	--	--

第6(c) 図 D1

A	B	C	D	E	F	G	H	I	J
---	---	---	---	---	---	---	---	---	---

第6(d) 図 D2

$A \ll 1$	$B \ll 1$	$C \ll 1$	$D \ll 1$	$E \ll 1$	$F \ll 1$	$G \ll 1$	$H \ll 1$	$I \ll 1$
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

第6(e) 図 D3

	A	B	C	D	E	F	G	H
--	---	---	---	---	---	---	---	---

第6(f) 図 S2

a選択	b選択							a選択
-----	-----	--	--	--	--	--	--	-----

第6(g) 図 D4

4A	$A+(B \ll 1)+C$	$B+(C \ll 1)+D$	$C+(D \ll 1)+E$	$D+(E \ll 1)+F$	$E+(F \ll 1)+G$	$F+(G \ll 1)+H$	4H	4I
----	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	----	----

第6(h) 図 S3

縦方向処理ON								
---------	--	--	--	--	--	--	--	--

第6(i) 図 S4

右0ビット								
-------	--	--	--	--	--	--	--	--

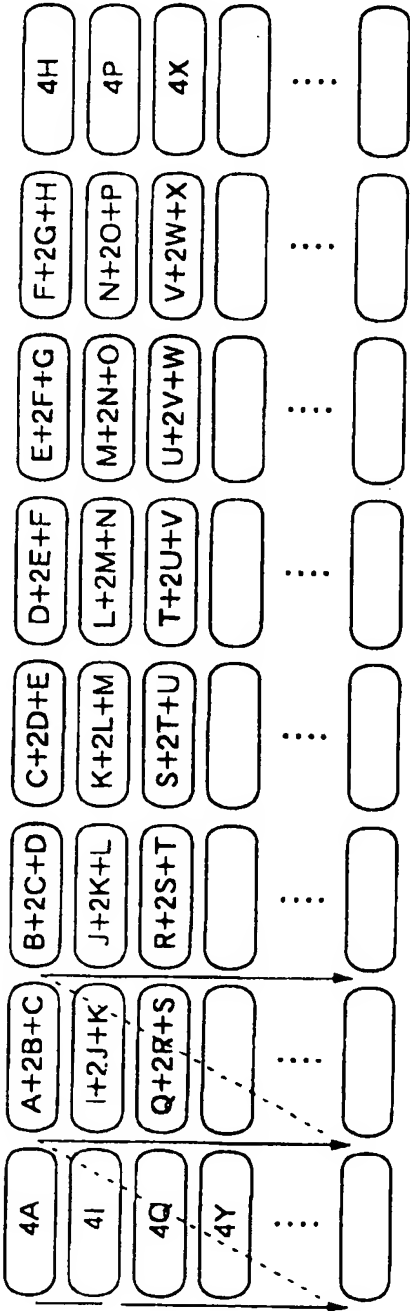
第6(j) 図 D5

4A	$A+(B \ll 1)+C$	$B+(C \ll 1)+D$	$C+(D \ll 1)+E$	$D+(E \ll 1)+F$	$E+(F \ll 1)+G$	$F+(G \ll 1)+H$	4H
----	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	----

第6(k) 図 時間

t0	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10
----	----	----	----	----	----	----	----	----	----	-----

第7図



8/22

第8(a) 図 CLOCK



第8(b) 図 S1

ループ内フィルタON (a選択)

第8(c) 図 D1

A	B	C	D	E	F	G	H	I	J
---	---	---	---	---	---	---	---	---	---

第8(d) 図 D2

$A \ll 1$	$B \ll 1$	$C \ll 1$	$D \ll 1$	$E \ll 1$	$F \ll 1$	$G \ll 1$	$H \ll 1$	$I \ll 1$	$J \ll 1$
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

第8(e) 図 D3

A	B	C	D	E	F	G	H
---	---	---	---	---	---	---	---

第8(f) 図 S2

a選択	b選択	a選択
-----	-----	-----

第8(g) 図 D4

4A	$A+(B \ll 1)+C$	$B+(C \ll 1)+D$	$C+(D \ll 1)+E$	$D+(E \ll 1)+F$	$E+(F \ll 1)+G$	$F+(G \ll 1)+H$	4H
----	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	----

第8(h) 図 S3

縦方向処理ON

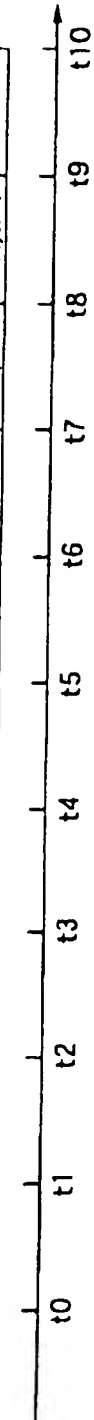
第8(i) 図 S4

右4ビット

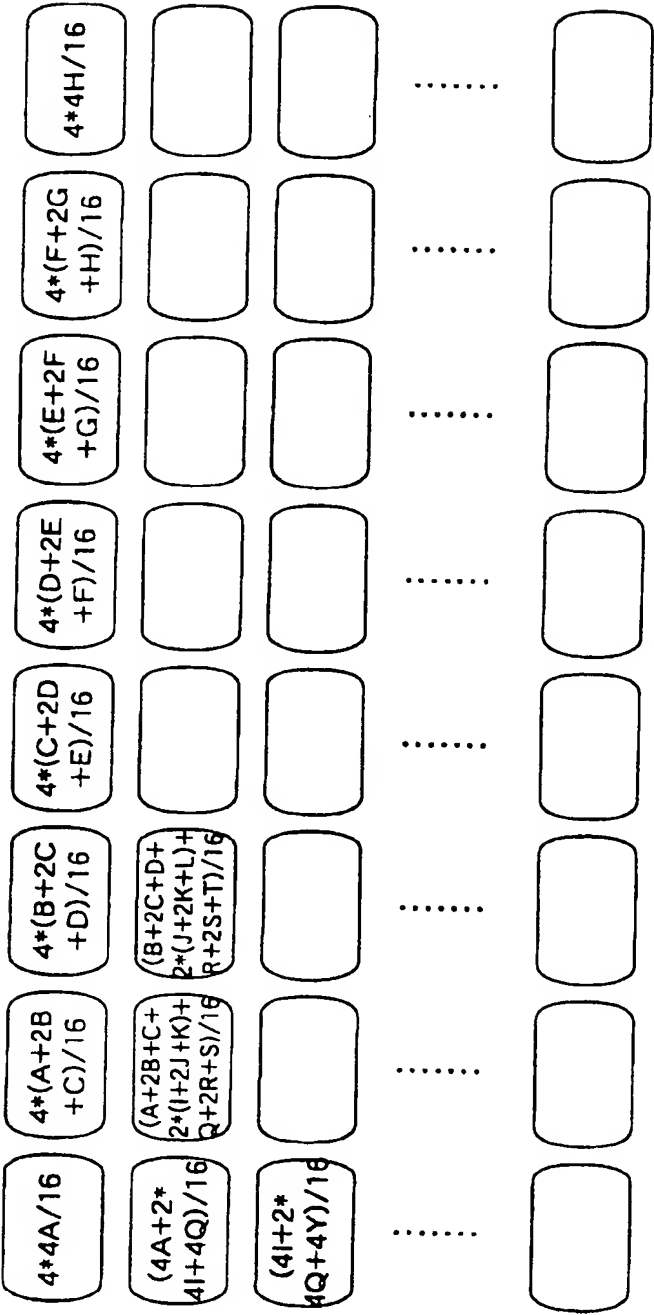
第8(j) 図 D6

$(4A) \gg 4$	$(A+(B \ll 1)+C) \gg 4$	$(B+(C \ll 1)+D) \gg 4$	$(C+(D \ll 1)+E) \gg 4$	$(D+(E \ll 1)+F) \gg 4$	$(E+(F \ll 1)+G) \gg 4$	$(F+(G \ll 1)+H) \gg 4$	$(4H) \gg 4$
--------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	-------------------------	--------------

第8(k) 図 時間

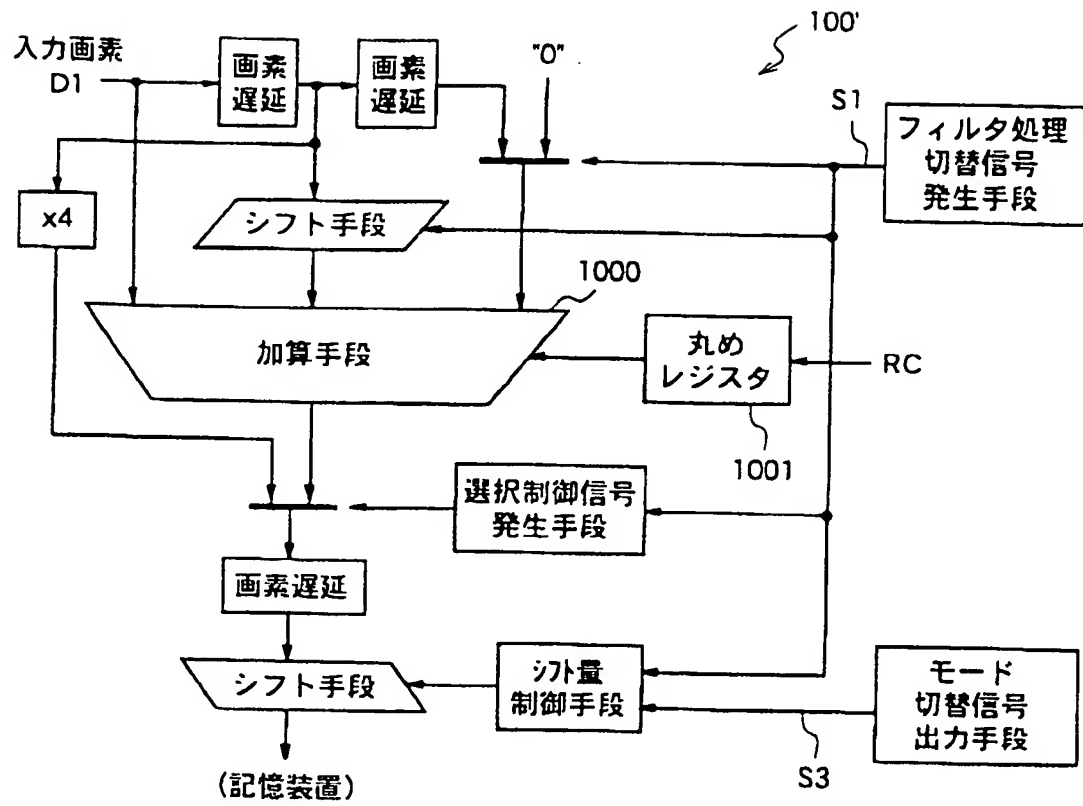


第9図



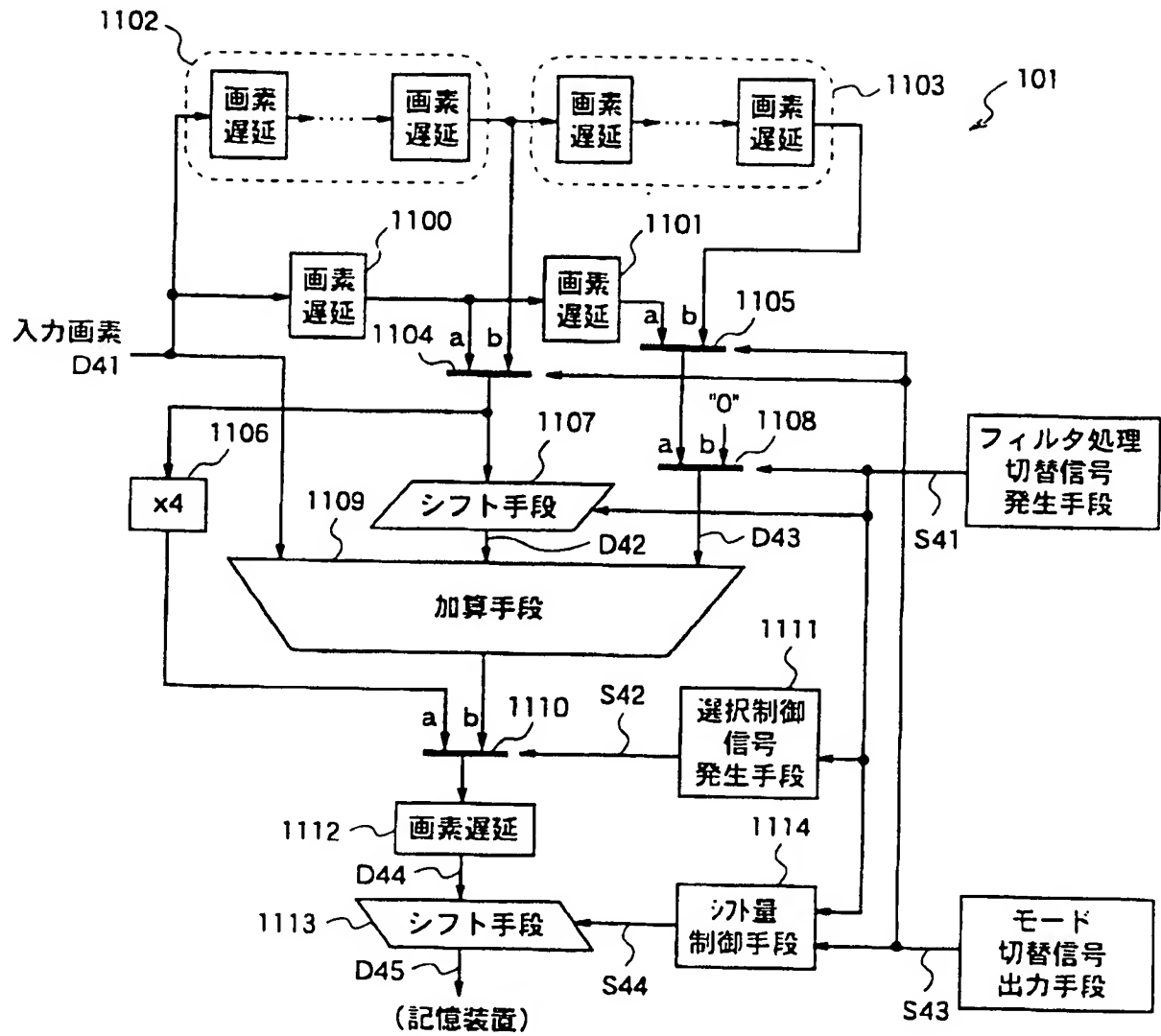
10/22

第10図



11/22

第11図



第12(a)図



第12(b)図 S41

半画素処理ON (b選択)															
---------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第12(c)図 D41

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

第12(d)図 D42

$A \ll 0$								$B \ll 0$	$C \ll 0$	$D \ll 0$	$E \ll 0$	$F \ll 0$	$G \ll 0$	$H \ll 0$	$I \ll 0$	$J \ll 0$	$K \ll 0$	$S \ll 0$	$T \ll 0$
-----------	--	--	--	--	--	--	--	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

第12(e)図 D43

																A					B	C	D	E
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	---	--	--	--	--	---	---	---	---

第12(f)図 S42

Don't care																b選択							
------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	-----	--	--	--	--	--	--	--

第12(g)図 D44

$A + 1$								$B + J$	$C + K$	$D + L$	$E + M$	$F + N$	$G + O$	$H + P$	$I + Q$	$J + R$	$K + S$	$S + T$	$T + U$
---------	--	--	--	--	--	--	--	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------	---------

第12(h)図 S43

縦方向処理ON (b選択)															
---------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

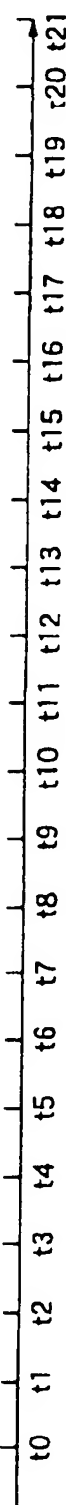
第12(i)図 S44

右1ビット															
-------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第12(j)図 D45

$(A + 1) \gg 1$								$(B + J)(C + K)(D + L)(E + M)(F + N)(G + O)(H + P)(I + Q)(J + R)(K + S)(S + T) \gg 1$
-----------------	--	--	--	--	--	--	--	---

第12(k)図 時間



第13(a)図



第13(b)図 S41

ループ内フィルタON (a選択)															
------------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第13(c)図 D41

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

第13(d)図 D42

$A \ll 1$ $B \ll 1$ $C \ll 1$ $D \ll 1$ $E \ll 1$ $F \ll 1$ $G \ll 1$ $H \ll 1$ $I \ll 1$ $J \ll 1$ $K \ll 1$ $S \ll 1$ $T \ll 1$															
---	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第13(e)図 D43

A B C D E															
-----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第13(f)図 S42

Don't care															
a選択								b選択							

第13(g)図 D44

4A	4B	4C	4D	4E	4F	4G	4H	$A + (I \ll 1)(J \ll 1)(K \ll 1)(S \ll 1) + Q$	$B + (J \ll 1)(K \ll 1)(S \ll 1) + R$	$C + (K \ll 1)(S \ll 1) + T$	$D + (S \ll 1) + U$
----	----	----	----	----	----	----	----	--	---------------------------------------	------------------------------	---------------------

第13(h)図 S43

縦方向処理ON (a選択)															
---------------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

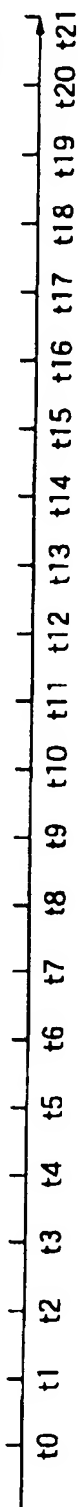
第13(i)図 S44

右4ビット															
-------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

第13(j)図 D45

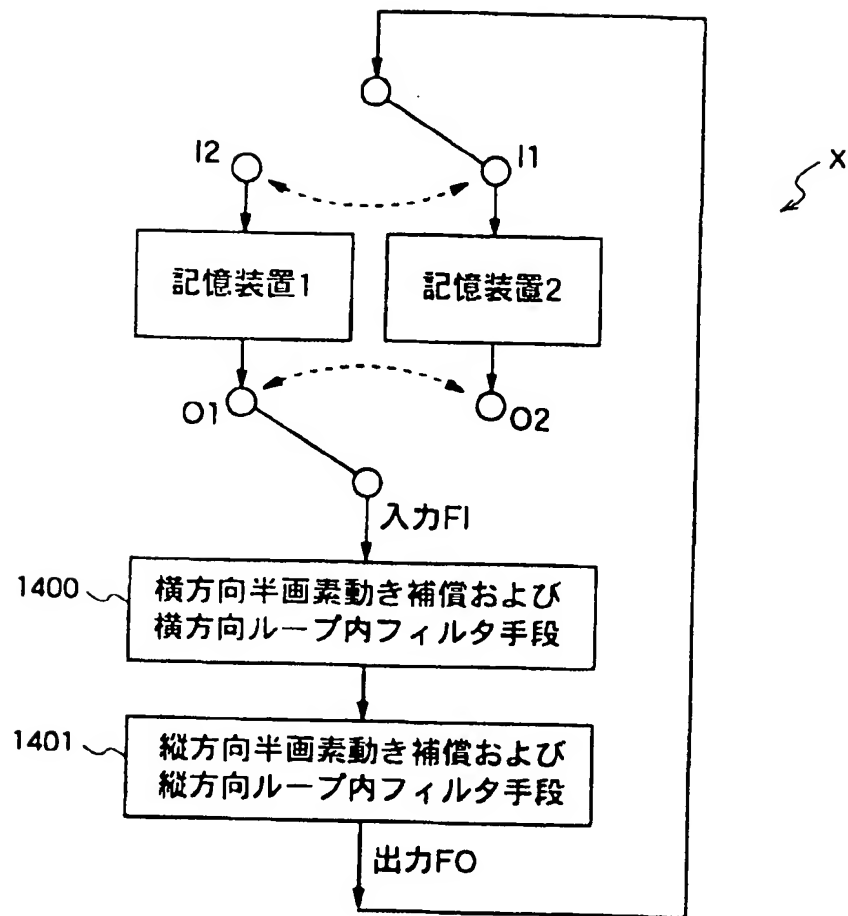
$(4A) \gg 4$	$(4B) \gg 4$	$(4C) \gg 4$	$(4D) \gg 4$	$(4E) \gg 4$	$(4F) \gg 4$	$(4G) \gg 4$	$(4H) \gg 4$	$(A + (I \ll 1)(J \ll 1)(K \ll 1)(S \ll 1) + Q) \gg 4$	$(B + (J \ll 1)(K \ll 1)(S \ll 1) + R) \gg 4$	$(C + (K \ll 1)(S \ll 1) + T) \gg 4$	$(D + (S \ll 1) + U) \gg 4$
--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------	--	---	--------------------------------------	-----------------------------

第13(k)図 時間



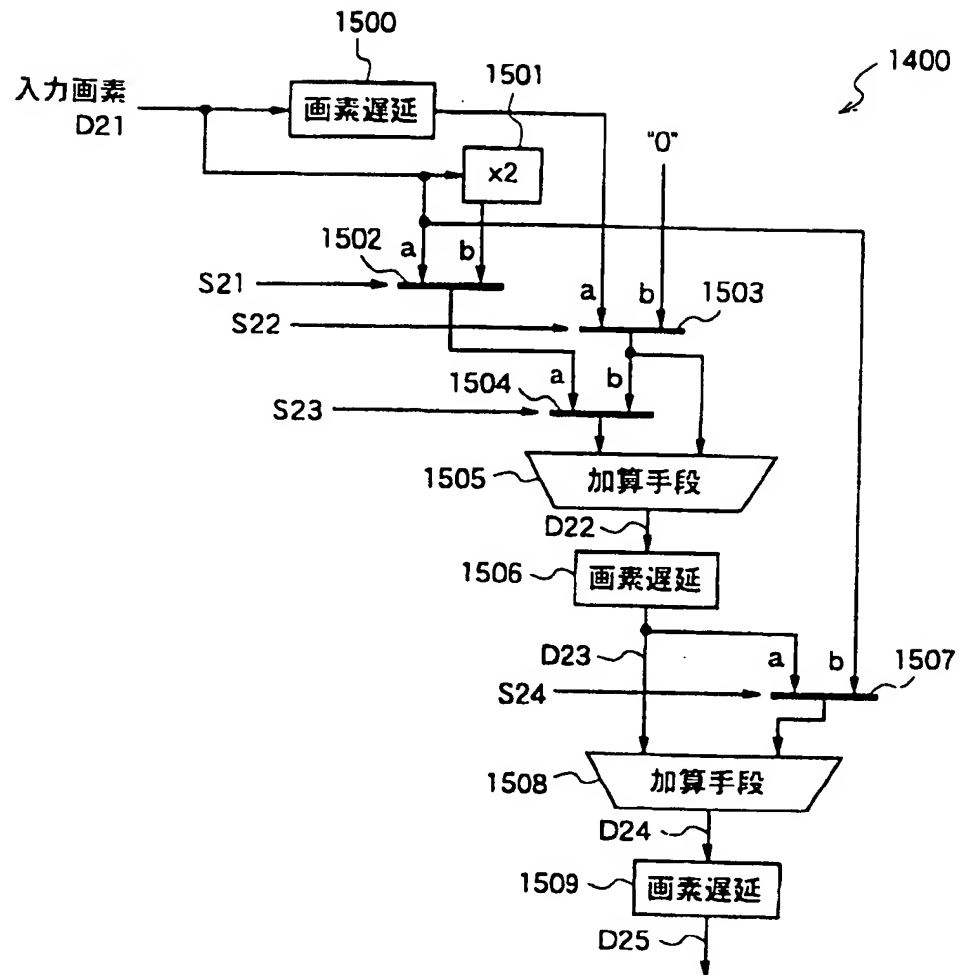
第14図

14/22

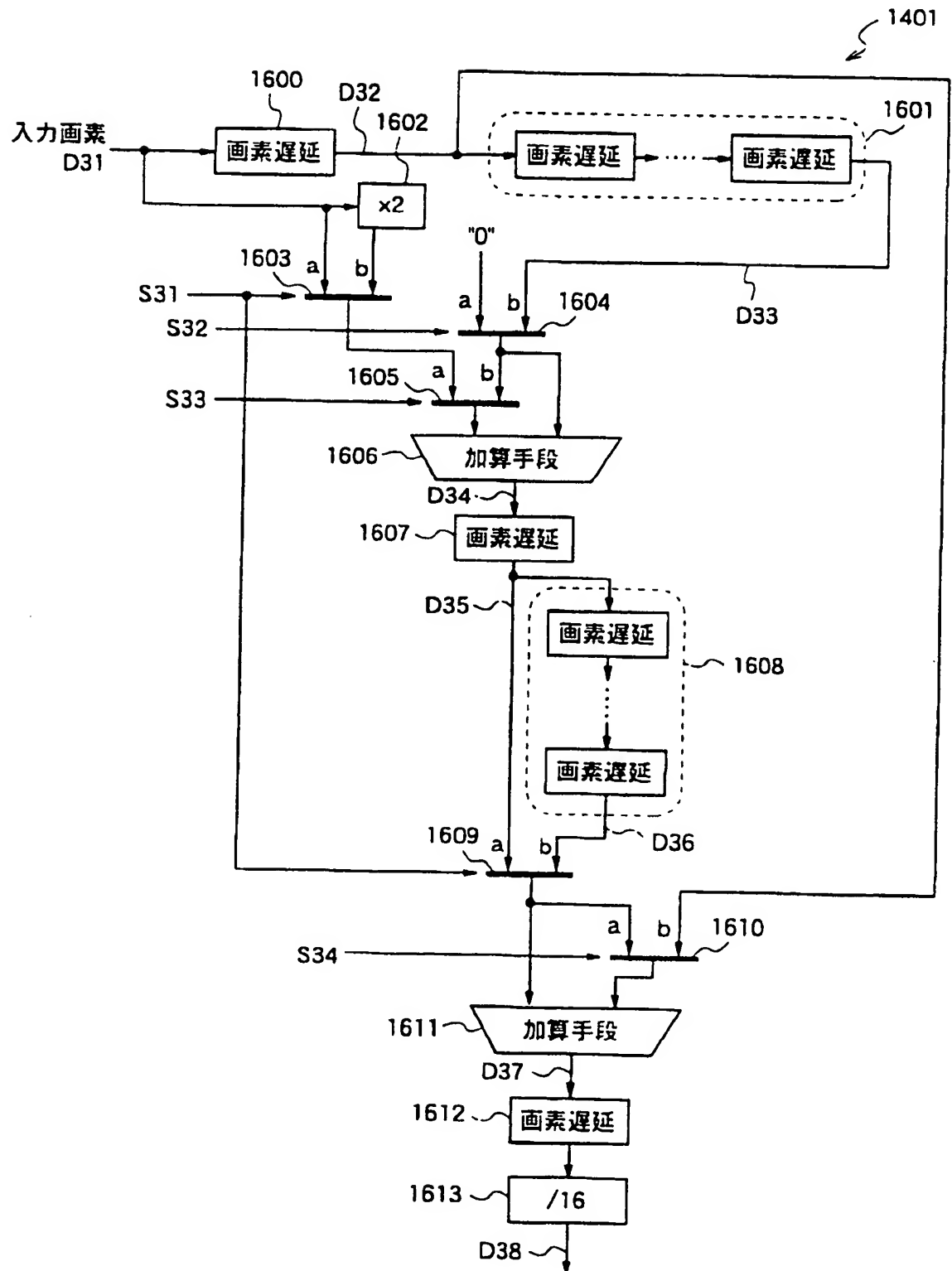


15/22

第15図



第16図



17/22

第17(a)図

CLOCK



第17(b)図 S21

a選択

第17(c)図 D21

A	B	C	D	E	F	G	H	I	J
---	---	---	---	---	---	---	---	---	---

第17(d)図 D22

A	B	C	D	E	F	G	H	I
---	---	---	---	---	---	---	---	---

第17(e)図 S22

b選択

第17(f)図 S23

b選択

第17(g)図 D23

A+B	B+C	D+C	E+D	E+F	F+G	G+H	H+I	I+J
-----	-----	-----	-----	-----	-----	-----	-----	-----

第17(h)図 D24

A+B	B+C	D+C	E+D	E+F	F+G	G+H	H+I
-----	-----	-----	-----	-----	-----	-----	-----

第17(i)図 S24

a選択

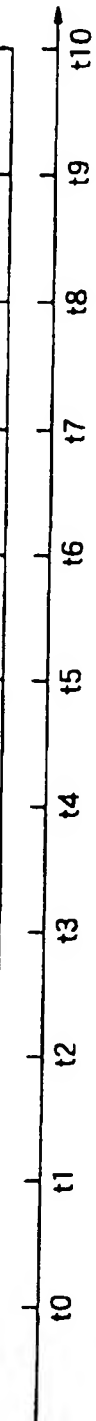
第17(j)図 D25

2(A+B)	2(B+C)	2(D+C)	2(E+D)	2(E+F)	2(F+G)	2(G+H)	2(H+I)
--------	--------	--------	--------	--------	--------	--------	--------

第17(k)図 D26

2(A+B)	2(B+C)	2(D+C)	2(E+D)	2(E+F)	2(F+G)	2(G+H)
--------	--------	--------	--------	--------	--------	--------

第17(l)図 時間



18/22

第18(a)図

CLOCK



第18(b)図 S21

b選択										
-----	--	--	--	--	--	--	--	--	--	--

第18(c)図 D21

A	B	C	D	E	F	G	H	I	J
---	---	---	---	---	---	---	---	---	---

第18(d)図 D22

A	B	C	D	E	F	G	H	I
---	---	---	---	---	---	---	---	---

第18(e)図 S22

b選択	a選択	b選択							a選択
-----	-----	-----	--	--	--	--	--	--	-----

第18(f)図 S23

a選択										
-----	--	--	--	--	--	--	--	--	--	--

第18(g)図 D23

2A	A+2B	B+2C	C+2D	D+2E	E+2F	F+2G	2H	2I	I+2J
----	------	------	------	------	------	------	----	----	------

第18(h)図 D24

2A	A+2B	B+2C	C+2D	D+2E	E+2F	F+2G	2H	2I
----	------	------	------	------	------	------	----	----

第18(i)図 S24

a選択	b選択	a選択								
-----	-----	-----	--	--	--	--	--	--	--	--

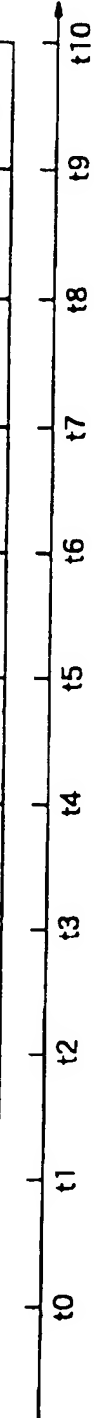
第18(j)図 D25

4A	A+2B+C	B+2C+D	C+2D+E	D+2E+F	E+2F+G	F+2G+H	4H	4I
----	--------	--------	--------	--------	--------	--------	----	----

第18(k)図 D26

4A	A+2B+C	B+2C+D	C+2D+E	D+2E+F	E+2F+G	F+2G+H	4H
----	--------	--------	--------	--------	--------	--------	----

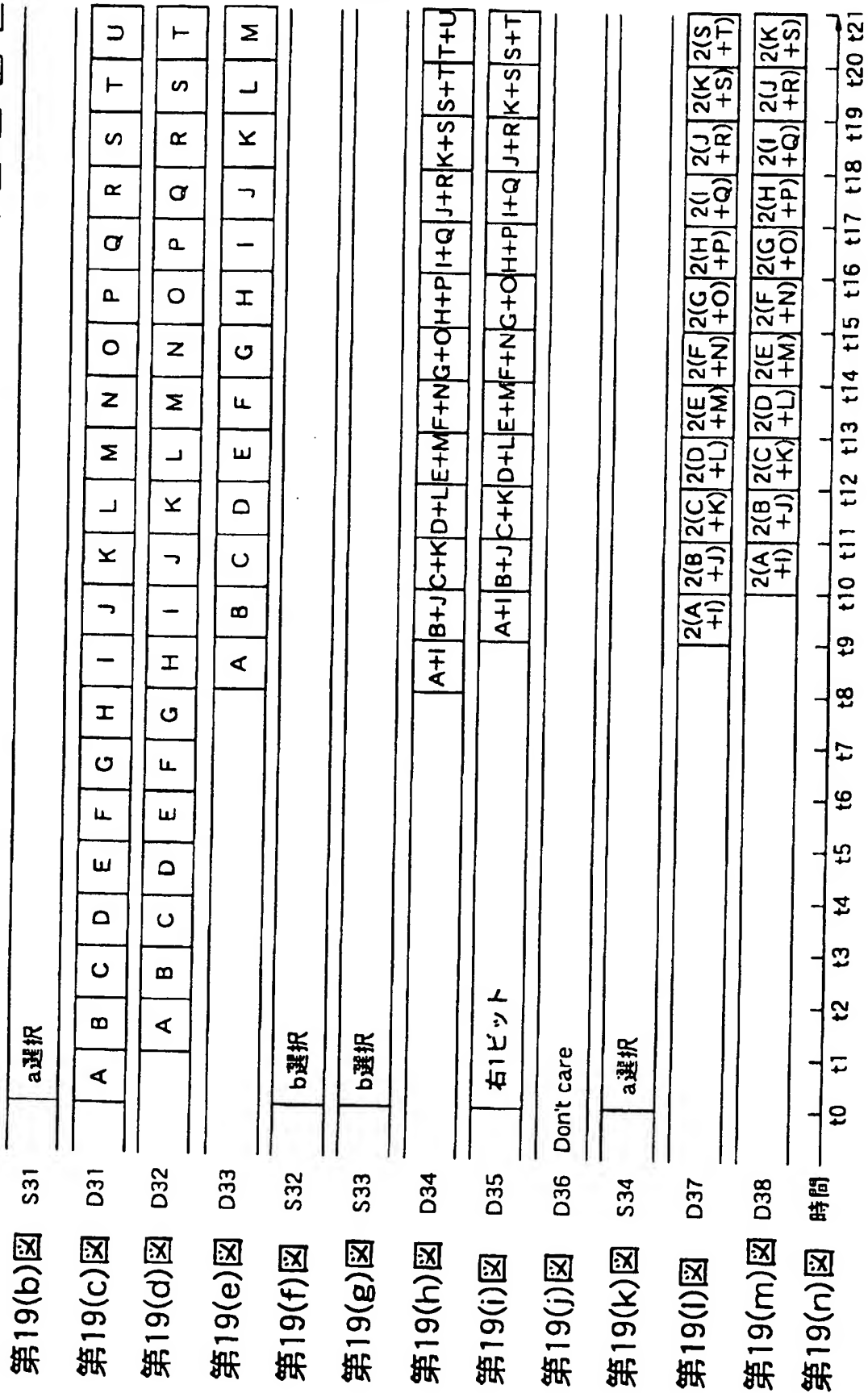
第18(l)図 時間



19/22

第19(a)図

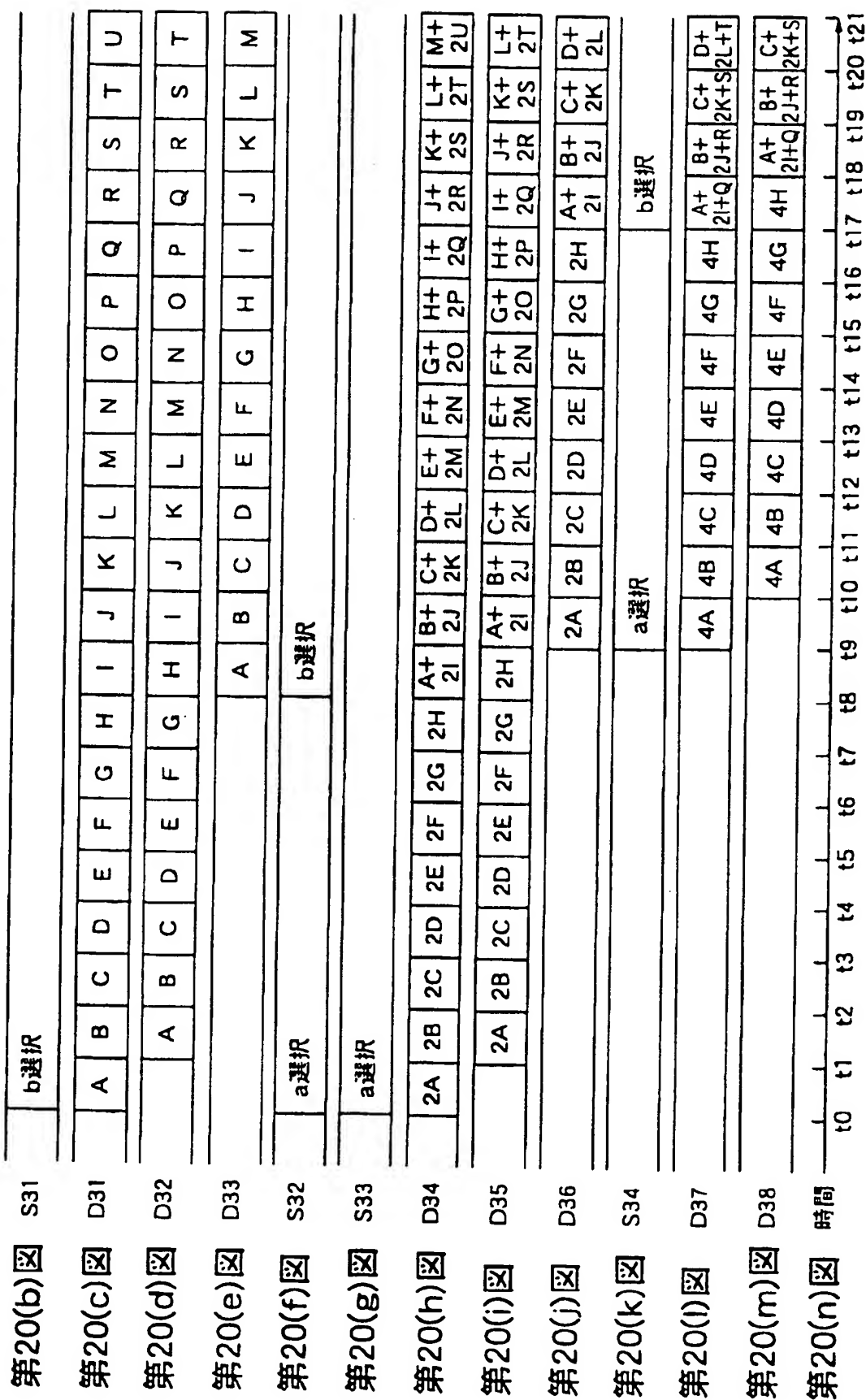
CLOCK



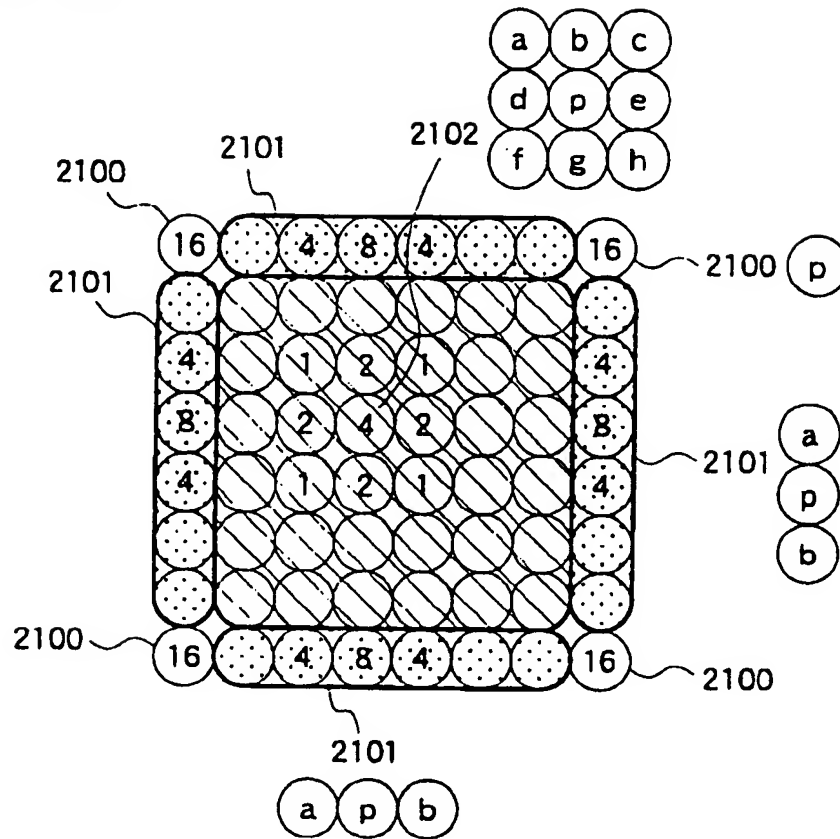
20/22

第20(a)図

CLOCK

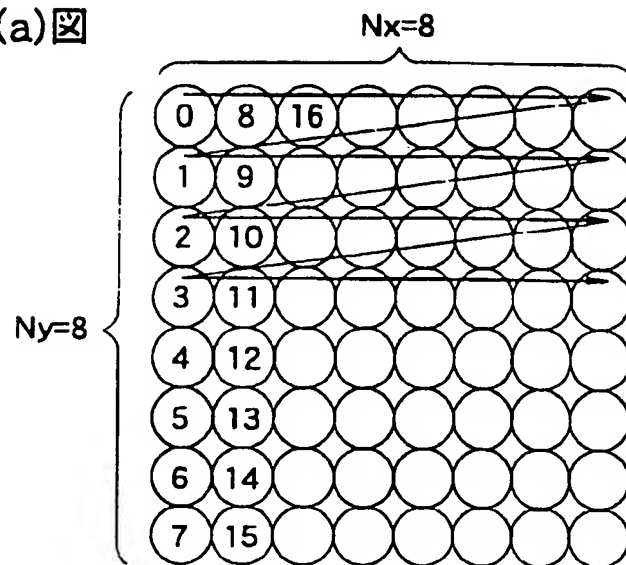


第21図

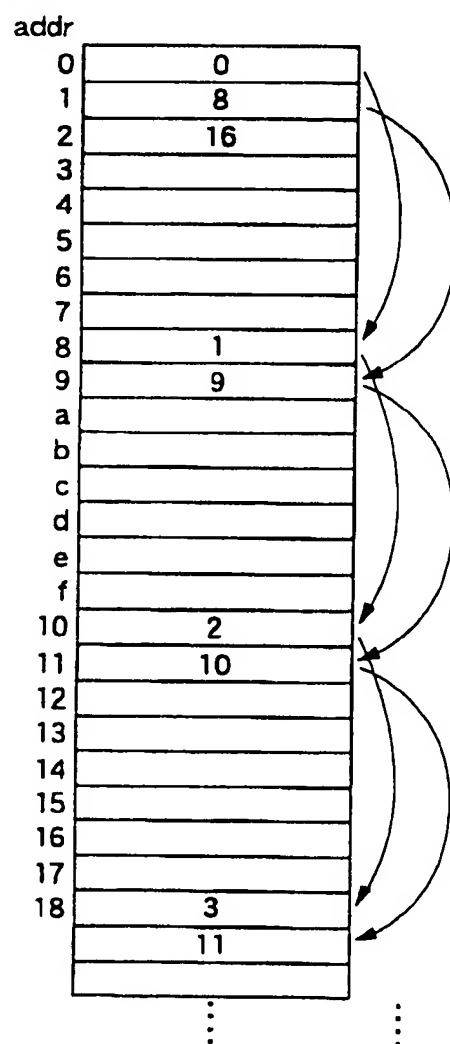


22/22

第22(a)図



第22(b)図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/06939

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H04N7/36, G06T5/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H04N7/24-7/68, G06T5/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST (JOIS)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 8-79758, A (Fujitsu Limited), 22 March, 1996 (22.03.96) (Family: none)	1-3
A	JP, 8-228353, A (NEC Corporation), 03 September, 1996 (03.09.96) (Family: none)	1-3
A	JP, 6-113265, A (Fujitsu Limited), 22 April, 1994 (22.04.94) (Family: none)	1-3
A	JP, 7-274165, A (Victor Company of Japan, Limited), 20 October, 1995 (20.10.95) (Family: none)	1-3
A	EP, 0651351, A (Rautaruukki Oy), 03 May, 1995 (03.05.95) & JP, 7-193466, A & US, 5485412, A	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 April, 2000 (04.04.00)

Date of mailing of the international search report
18 April, 2000 (18.04.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/36, G06T5/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/24-7/68, G06T5/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST (JOISファイル)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 8-79758, A (富士通株式会社) 22. 3月. 1996 (22. 03. 96) (ファミリーなし)	1-3
A	J P, 8-228353, A (日本電気株式会社) 3. 9月. 1996 (03. 09. 96) (ファミリーなし)	1-3
A	J P, 6-113265, A (富士通株式会社) 22. 4月. 1994 (22. 04. 94) (ファミリーなし)	1-3
A	J P, 7-274165, A (日本ビクター株式会社) 20. 10月. 1995 (20. 10. 95) (ファミリーなし)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04. 04. 00

国際調査報告の発送日

18.04.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂東 博司

5 P

4234

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP, 0651351, A (ラウタルウッキー・オイ) 3. 5月. 1995 (03. 05. 95) & JP, 7-193466, A & US, 5485412, A	1-3